

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Koichiro MIURA et al.

Application No.: 10/811,968

Filed: March 30, 2004

Docket No.: 119236

For: POWER SUPPLY APPARATUS AND CONTROL CIRCUIT THEREFOR

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-096916 Filed March 31, 2003

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/emt

Date: April 21, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

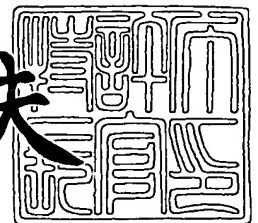
出 願 番 号 特 願 2 0 0 3 - 0 9 6 9 1 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 6 9 1 6]

出 願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 7 4 7

【書類名】 特許願

【整理番号】 99P05053

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H02J 1/00

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケ
 イ株式会社内

 【氏名】 三浦 幸一郎

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケ
 イ株式会社内

 【氏名】 上松 武

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケ
 イ株式会社内

 【氏名】 川崎 浩司

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケ
 イ株式会社内

 【氏名】 今井 考一

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケ
 イ株式会社内

 【氏名】 松浦 研

【特許出願人】

 【識別番号】 000003067

 【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置及びその制御装置

【特許請求の範囲】

【請求項 1】 入力された電力をパルス駆動信号に応じてスイッチングしてパルス状波形を形成するスイッチ回路と、前記パルス状波形を直流に変換して出力する平滑回路とを備えた電力変換回路を複数並列に接続してなる電源装置の制御装置において、

基準電圧と前記電力変換回路の出力電圧との偏差に比例した比例信号と前記偏差を積分した積分信号とを加算した演算値の大きさに応じて、前記電力変換回路のそれぞれのスイッチング素子に印加される前記パルス駆動信号の時比率を変化させる帰還制御部と、前記比例信号又は前記積分信号がそれぞれの閾値を超えた場合に、前記パルス駆動信号同士の位相を合わせる位相制御部とを備えた制御装置。

【請求項 2】 前記閾値を変更する閾値変更手段を備える請求項 1 に記載の制御装置。

【請求項 3】 請求項 1 又は 2 に記載の制御装置と、この制御装置によって制御される並列接続された複数の前記電力変換回路とを備えた電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、スイッチング電源装置用の電力変換回路を並列接続してなる電源装置及びその制御装置に関する。

【0 0 0 2】

【従来の技術】

従来のスイッチング電源装置としては、例えば、下記特許文献 1 に記載のものが知られており、このスイッチング電源装置では、現実の出力電圧値を目標電圧値に一致させる電圧制御を行う PWM 制御方式を用いた電源装置において、目標電圧値に達するまでの立上り時と、目標電圧値に達した後の定常時とでは出力電圧制御用因子を変えることで、立上り時特性および定常時特性に優れた電源装置

を提供している。

【0003】

また、パソコン、通信機器等に搭載されたマイクロプロセッサやデジタル信号処理回路（DSP）における処理の高速化が進むとともに、このような機器における消費電力の低減も図られている。その結果、集積回路への印加電圧（動作電圧）は低電圧化し、動作状況に応じた精密な電力管理が要求されている。

【0004】

【特許文献1】

特開平7-203672号公報

【0005】

【発明が解決しようとする課題】

しかしながら、スイッチング電源の制御系において、出力応答性と制御系の安定性とは相反関係にあり、応答速度を高めるため、制御系の利得を増加させると、出力電圧が発振しやすくなり、逆に、利得を減少させると制御系の安定性は確保できるが、応答性が低下してしまうという問題がある。例えば、負荷としてのプロセッサが所謂スリープ状態からアクティブ状態になり、負荷電流が急激に増加すると、出力電圧が負荷電流の急激な増加に追従できず、出力電圧不足となる。逆に、急激に負荷電流が減少すると、出力電圧が過大となる場合がある。これを防止するため、出力段に複数のコンデンサを用いると、装置が大型化する。

【0006】

本発明は、このような課題に鑑みてなされたものであり、制御系の安定性を損なわずに負荷電流に対する追従性がよい、出力電圧の安定性に優れた電源装置及びその制御装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

上述の課題を解決するため、本発明に係る制御装置は、入力された電力をパルス駆動信号に応じてスイッチングしてパルス状波形を形成するスイッチ回路と、パルス状波形を直流に変換して出力する平滑回路とを備えた電力変換回路を複数並列に接続してなる電源装置の制御装置において、基準電圧と電力変換回路の出

力電圧との偏差に比例した比例信号と前記偏差を積分した積分信号とを加算した演算値の大きさに応じて、電力変換回路のそれぞれのスイッチング素子に印加されるパルス駆動信号の時比率を変化させる帰還制御部と、比例信号又は積分信号がそれぞれの閾値を超えた場合に、前記パルス駆動信号同士の位相を合わせる位相制御部とを備えるものである。

【0008】

この制御装置によれば、パルス駆動信号を電力変換回路のスイッチング素子に印加することにより、パルス駆動信号の時比率に応じて出力端子間に出力電圧が発生する。このような電力変換回路は負荷に対して複数並列に接続されているため、各電力変換回路から直流電圧が負荷に対して供給される。

【0009】

ここで、時比率は帰還制御部における比例制御及び積分制御を用いて調整される。すなわち、帰還制御部は、基準電圧と出力端子間の出力電圧との偏差に比例した比例信号と上記偏差を積分した積分信号とを加算した演算値の大きさに応じて、電力変換回路のそれぞれのスイッチング素子に印加されるパルス駆動信号の時比率を変化させる。

【0010】

したがって、所謂 P I 制御が実行される。なお、偏差の微分値を更に演算値に加えて新たな演算値としてもよく、この場合は所謂 P I D 制御が実行されることとなる。

【0011】

なお、このような電源装置から負荷に供給される電圧は、各パルス駆動信号の位相を互いにずらすことによって、リップル電圧成分を低減できる。

【0012】

ところで、負荷電流が急激に増加する場合には、制御系がその急激な増加に追従できないと、出力電圧の低下が著しくなるという傾向が生じる。そこで、本発明の制御装置では、位相制御部が、上記比例信号又は積分信号がそれぞれの閾値を超えた場合に、パルス駆動信号同士の位相を合わせることとし、すなわち、各電力変換回路が同期して動作することで、負荷に供給される出力電圧の著しい低

下を抑制することとした。

【0013】

したがって、この制御装置によれば、制御系の安定性を充分確保するようにP I 制御部の利得を設定しても、位相制御部が負荷電流増加時に位相調整を行うので、負荷電流に対する追従性が改善される。

【0014】

また、上記比例信号又は積分信号が比較されるそれぞれの閾値は、閾値変更手段が、動作状況に応じて変更することもできる。これにより、例えば、スイッチング電源の起動時間の調整や出力応答性の調整が可能となる。

【0015】

このような電源装置は、上記制御装置と、この制御装置によって制御される並列接続された複数の前記電力変換回路とを備えることとなり、負荷電流に対する追従性がよく、且つ、系の安定性に優れた電源装置となる。

【0016】

【発明の実施の形態】

以下、図面を参照して、実施の形態に係るスイッチング電源装置用制御装置及びスイッチング電源装置について説明する。

【0017】

図1は複数のスイッチング電源装置1を並列に接続してなる電源装置のブロック図である。

【0018】

各スイッチング電源装置1は、直流電圧 V_i が印加される一対の入力端子IT1, IT2と、負荷Lに接続される一対の出力端子OT1, OT2とを有している。2つの入力端子IT1, IT2の一方はグランドに、他方は直流電圧源Pの一方の電位に接続されている。2つ出力端子OT1, OT2間には負荷Lが接続されている。これらの入力端子及び出力端子によって4端子回路が構成されている。

【0019】

負荷Lは、スイッチング電源装置1から出力される出力電圧 V_o の供給先であ

り、例えば、PC 端末等に用いられる CPU (Central Processing Unit) や MPU (Micro Processing Unit) が該当する。このような、CPU や MPU は、省電力モードを有しており、省電力モードから通常モードに移行する際に、負荷変動が急激に増大するという特徴がある。

【0020】

このスイッチング電源装置 1 は、高い直流入力電圧 V_i を低い出力電圧 V_o に変換する降圧型、非絶縁型の DC/DC コンバータである。電圧制御を行うコントローラ IC (制御装置) 7 は、AD 変換器 6 によってデジタル値に変換された出力電圧 V_o に基づいてパルス駆動信号 (PWM 信号) D (D_1 、 D_2 とする) を生成し、PWM 信号 D をそれぞれの直流電圧変換回路 (電力変換回路) のスイッチング素子 2、3 に印加する。

【0021】

スイッチング素子 2 は、一方が入力端子に、他方がコイル 4 に接続されている。スイッチング素子 3 は一方がスイッチング素子 2 に、他方がグランドに接続されている。双方のスイッチング素子 2、3 は、共に、PWM 信号 D の入力に応じて短絡・開放が制御される。スイッチング素子 3 には、スイッチング素子 2 へ入力される PWM 信号 D とは相補的なパルス駆動信号が入力され、スイッチング素子 2 の短絡時にはスイッチング素子 3 は開放し、スイッチング素子 2 の開放時にはスイッチング素子 3 は短絡する。スイッチング素子 2、3 は、バイポーラトランジスタや電界効果トランジスタを用いることができる。

【0022】

スイッチング素子 2 とスイッチング素子 3 の接続点と出力端子 OT 1 との間にはコイル 4 が直列接続され、出力端子間にコンデンサ 5 が接続されている。これらのコイル 4 及びコンデンサ 5 は平滑回路を構成し、スイッチング素子 2、3 の後段に設けられており、スイッチング素子 2、3 の断続によって発生したパルス電圧を平滑化し、直流電圧に変換している。

【0023】

PWM 信号 D のパルス幅、すなわち、スイッチング素子 2 を ON している時間 (時比率：デューティ比) が長いほど、出力電圧 V_o は高くなる。

【0024】

この平滑回路には、当該回路を流れる電流（＝出力電流）を検出する検出素子（検出部） d_t が設けられている。検出素子 d_t は、例えば、ホール素子であり、検出電流 I_L （それぞれのスイッチング電源の検出電流を I_{L1} , I_{L2} とする）及び出力電圧 V_o は、共にAD変換器6によってデジタル値に変換され、コントローラIC（制御装置）7に入力される。コントローラICはアナログ・デジタル混合信号ICで実現できる。

【0025】

すなわち、コントローラIC7は、デジタル入力情報 I_L （ I_{L1} , I_{L2} ）及び V_o に基づいてPWM信号D（ D_1 , D_2 ）を生成する。

【0026】

図2は、コントローラIC7の内部構成を示すブロック図である。

【0027】

コントローラIC7は、出力電圧 V_o と基準電圧 V_r の偏差 ΔV （ $=V_r - V_o$ ）を出力する加算器7a、加算器7aから出力される偏差 ΔV が入力されるPI制御部7b、PI制御部7bから出力される偏差依存性の演算値CSが電流 I_{L1} と共に入力される電流補償器7c、演算値CSが電流 I_{L2} と共に入力される電流補償器7d、電流補償器7cから出力される偏差依存性の演算値C1と第1ランプ波（ $ramp1$ ）が入力される比較器7e、電流補償器7dから出力される偏差依存性の演算値C2と第1又は2ランプ波（ $ramp1$, $ramp2$ ）が入力される比較器7fを備えている。

【0028】

また、コントローラIC7は、PI制御部7bの出力に応じて、比較器7fに入力されるランプ波の切り換えを行うセクタ7gを備えている。なお、第1ランプ波（ $ramp1$ ）と第2ランプ波（ $ramp2$ ）とは 180° 位相がずれている（逆位相）。

【0029】

PI制御部7bは、フィードバック制御の主要部であり、偏差 ΔV に以下の処理を施して電流補償器7c, 7dに出力する。

【0030】

フィードバック制御とは、目標となる基準電圧 V_r とシステムの出力電圧 V_o とを一致させるために、基準電圧 V_r と出力電圧 V_o との偏差 ΔV ($=V_r - V_o$) に適当な処理を行って入力に帰還する制御である。フィードバック制御における制御方式としては、P（比例）制御、I（積分）制御、D（微分）制御などが知られている。

【0031】

P I 制御部 7b は、P 制御用に、偏差 ΔV に比例定数 k_p を乗じて出力するアンプ P1 を備えている。この演算値 $k_p \times \Delta V$ は、出力電圧 V_o が低下するほど、すなわち、偏差 ΔV が拡大するほど大きくなる。演算値 $k_p \times \Delta V$ とランプ波との交点で与えられる時間間隔は、偏差 ΔV が拡大するほど増加するので、すなわち、パルス駆動信号の時比率は増大するので、出力電圧 V_o は高くなる。換言すれば、負荷電流の増大に伴って出力電圧 V_o が低下すると、P 制御によって、出力電圧 V_o は増加傾向になり、その低下が抑制される。

【0032】

さらに、P I 制御部 7b は、I 制御用に、偏差 ΔV の積分（累積）を行う積分器 I1、積分された偏差 ($\int \Delta V dt$) に比例定数 k_i を乗じて演算値 ($k_i \times \int \Delta V dt$) を出力するアンプ I2 を備えている。

【0033】

I 制御は、低周波数帯域における外乱除去性能を改善できるので、P 制御と組み合わせることにより、定常偏差を小さくすることができる。

【0034】

なお、D 制御は偏差 ΔV の微分値に比例する項を設定した制御であり、上述の P I 制御と組み合わせた P I D 制御では、応答速度と系の安定性を共に向上させた制御方式として知られている。なお、 k_p をフィードバックゲイン（比例要素）、 k_i をフィードバックゲイン（積分要素）、 k_d をフィードバックゲイン（微分要素）とした場合、P I D 制御の一般式は以下の式で与えられる。

$$CS = K_p \times \Delta V + K_i \times \int \Delta V dt + K_d \times d\Delta V / dt$$

【0035】

なお、本例では、P I 制御を示しているため、C S の式の微分項は無視するものとする。すなわち、P I 制御部 7 b は、P 制御の演算値 ($K_p \times \Delta V$) と I 制御の演算値 ($K_i \times \int \Delta V dt$) を加算する加算器 A 1 を備えている。加算器から出力される演算値 C S は、電流補償器 7 c, 7 d に入力される。上述のようにフィードバックゲイン K_p を大きくすると応答速度は速くなり、フィードバックゲイン K_i を大きくすると定常偏差が小さくなるが、大きすぎると制御系が不安定となり出力電圧が発振する。そのため、各フィードバックゲインは系の安定性を充分確保できるように設定される。

【0036】

電流補償器 7 c, 7 d は、例えば減算器であり、実測される出力電流 I_{L1} , I_{L2} の大きさに応じて、フィードバック制御精度を高めている。

【0037】

電流補償器 7 c から出力される演算値 C 1 (または C S) と第 1 ランプ波 ($ramp1$) は、共に比較器 7 e に入力され、比較器 7 e は演算値 C 1 が第 1 ランプ波 ($ramp1$) を超えた場合には H レベルを、超えない場合には L レベルを出力する。すなわち、これらのレベル変動によって生成されるパルス駆動信号 D_1 の時比率は演算値 C 1 (または C S) に比例することとなる。

【0038】

電流補償器 7 d から出力される演算値 C 2 (または C S) と第 1 又は第 2 ランプ波 ($ramp1$, $ramp2$) は比較器 7 f に入力され、比較器 7 f は演算値 C 2 が、このランプ波を超えた場合には H レベルを、超えない場合には L レベルを出力する。すなわち、これらのレベル変動によって生成されるパルス駆動信号 D_2 の時比率は演算値 C 2 (または C S) に比例することとなる。

【0039】

詳説すれば、要素 7 a, 7 b, 7 e, 7 f から構成される帰還制御部は、基準電圧 V_r と出力端子間の出力電圧 V_o との偏差 ΔV に比例した比例信号と偏差 ΔV を積分した積分信号とを加算した演算値 C S の大きさに応じて、上述の直流電圧変換回路のそれぞれのスイッチング素子 2, 3 に印加されるパルス駆動信号 D_1 , D_2 の時比率を変化させている。

【0040】

パルス駆動信号 D_1 、 D_2 を直流電圧変換回路のスイッチング素子2、3に印加することにより、パルス駆動信号 D_1 、 D_2 の時比率に応じて出力端子間に出力電圧 V_o が発生する。このような直流電圧変換回路は負荷 L に対して複数並列に接続されているため、各直流電圧変換回路から直流電圧が負荷 L に対して供給される。

【0041】

ここで、第1又は第2ランプ波は、セクタ7gによって選択される。セクタ7gによる選択基準はPI制御部7bによって決定される。

【0042】

すなわち、PI制御部7bは、比例信号($k_p \times \Delta V$)又は積分信号($k_i \times \int \Delta V dt$)が、それぞれの閾値 P_{MAX} 、 I_{MAX} を超えたかどうかをそれぞれ判定する比較器J1、J2と、比較器J1、J2のいずれかの判定結果が閾値超えを示す場合に、Hレベルを出力するOR回路J3を備えている。OR回路からHレベルが出力されると、セクタ7gは、第1ランプ波(ramp1)が比較器7fに入力されるように選択を行い、Lレベルが出力されると、第2ランプ波(ramp2)が比較器7fに入力されるように選択を行う。

【0043】

すなわち、コントローラIC7の判定部J1、J2、J3及びセクタ7gは、比例信号($k_p \times \Delta V$)又は積分信号($k_i \times \int \Delta V dt$)がそれぞれの閾値 P_{MAX} 、 I_{MAX} を超えた場合に、パルス駆動信号 D_1 、 D_2 同士の位相を合わせる位相制御部を構成している。

【0044】

なお、セクタ7gは、比例信号又は積分信号が閾値を超えない場合には、パルス駆動信号 D_1 、 D_2 同士の位相を「逆位相」に設定する。負荷 L に供給される電圧は、各パルス駆動信号の位相が互いにずれることによって、リップル電圧を低減すると云う利点も有する。

【0045】

また、負荷電流が急激に増加すると、PI制御部の設定フィードバックゲイン

では、その急激な変化に追従できないため、出力電圧 V_o が著しく低下する。この場合、位相制御部の上記比例信号又は積分信号がそれぞれの閾値 P_{MAX} 、 I_{MAX} を超えるので、パルス駆動信号の位相が一致し、すなわち、セクタ 7g から各比較器 7e, 7f に供給されるランプ波を同一のもの (ramp1) とし、各直流電圧変換回路から供給される出力電圧を同位相とすることで、負荷 L に供給される出力電圧の著しい低下を抑制している。

【0046】

以上、説明したように、コントローラ IC7 及びこれに制御される電源装置によれば、制御系を不安定にすることなく、負荷電流に対する追従性がよくなるので、出力電圧の安定性に優れることとなる。

【0047】

また、上記比例信号又は積分信号が比較されるそれぞれの閾値は動作状況に応じて可変にすることもできる。この閾値変更手段は、例えば、ユーザの入力に応じて上記閾値を変更するスイッチ等であってもよい。これにより、例えば、電源装置の起動時間を調整することができる。直流電圧源 P を接続し直流電圧 V_i が印加された瞬間から出力電圧が定常状態 (略 偏差 ΔV が零) になるまでは、それぞれの閾値を小さく設定すると各直流電圧変換回路は同期動作するので、起動時間を短くすることができる。逆に、閾値を大きくすることで起動時間を長くすることもできる。なお、上記制御装置は、入力電圧を交流信号とする AC-DC コンバータにも適用することが可能である。

【0048】

図3は、図2に示した回路における電流 I (負荷電流 I_o 、検出電流 I_{L1} , I_{L2}) (図3(a))、出力電圧 V_o (図3(b))、パルス駆動信号 D_1 (図3(c))、パルス駆動信号 D_2 (図3(d)) のタイミングチャートである。

【0049】

上述のように、時刻 t_1 後の負荷電流 I_o の急激な増加に伴って、出力電圧 V_o は低下するが、この場合には、それまで逆位相であったパルス駆動信号 D_1 、 D_2 が同位相となり、出力電圧が徐々に増加することが分かる。

以上、説明したように、上記実施形態に係る制御装置は、入力された電力をP

WM信号Dに応じてスイッチングしてパルス状波形を形成するスイッチ回路(2, 3)と、パルス状波形を直流に変換して出力する平滑回路(4, 5)とを備えた電力変換回路を複数並列に接続してなる電源装置の制御装置において、基準電圧 V_r と電力変換回路の出力電圧 V_o との偏差 ΔV に比例した比例信号($k_p \times \Delta V$)と偏差 ΔV を積分した積分信号($k_i \times \int \Delta V dt$)とを加算した演算値CSの大きさに応じて、電力変換回路のそれぞれのスイッチング素子2, 3に印加されるPWM信号Dの時比率を変化させる帰還制御部(7a, 7b, 7e, 7f)と、比例信号($k_p \times \Delta V$)又は積分信号($k_i \times \int \Delta V dt$)がそれぞれの閾値 P_{MAX} , I_{MAX} を超えた場合に、PWM信号D同士の位相を合わせる位相制御部(J1, J2, J3, 7g)とを備えており、かかる位相制御部による位相合わせによって、各電力変換回路が同期して動作することで、負荷Lに供給される出力電圧の著しい低下を抑制することができる。

【0050】

【発明の効果】

本発明の制御装置によって制御される電源装置は、制御系を不安定にすることなく、負荷電流に対する追従性がよくなるので、出力電圧の安定性に優れることとなる。

【図面の簡単な説明】

【図1】

複数のスイッチング電源装置1を並列に接続してなる電源装置のブロック図である。

【図2】

コントローラIC7の内部構成を示すブロック図である。

【図3】

図2に示した回路における電流I(負荷電流 I_o , 検出電流 I_{L1} , I_{L2})(図3(a))、出力電圧 V_o (図3(b))、パルス駆動信号 D_1 (図3(c))、パルス駆動信号 D_2 (図3(d))のタイミングチャートである。

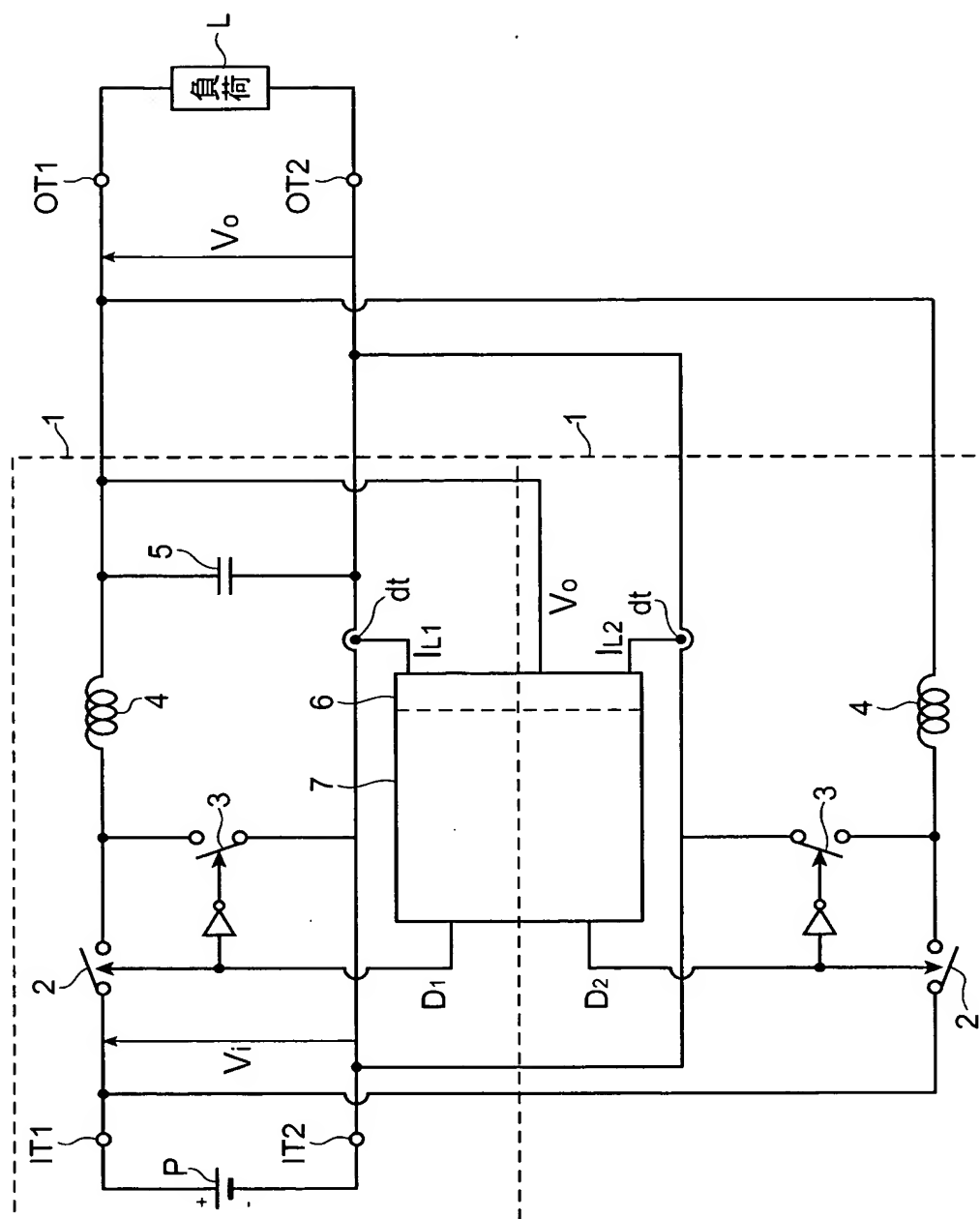
【符号の説明】

1…スイッチング電源装置、2, 3…スイッチング素子、4…コイル、5…コ

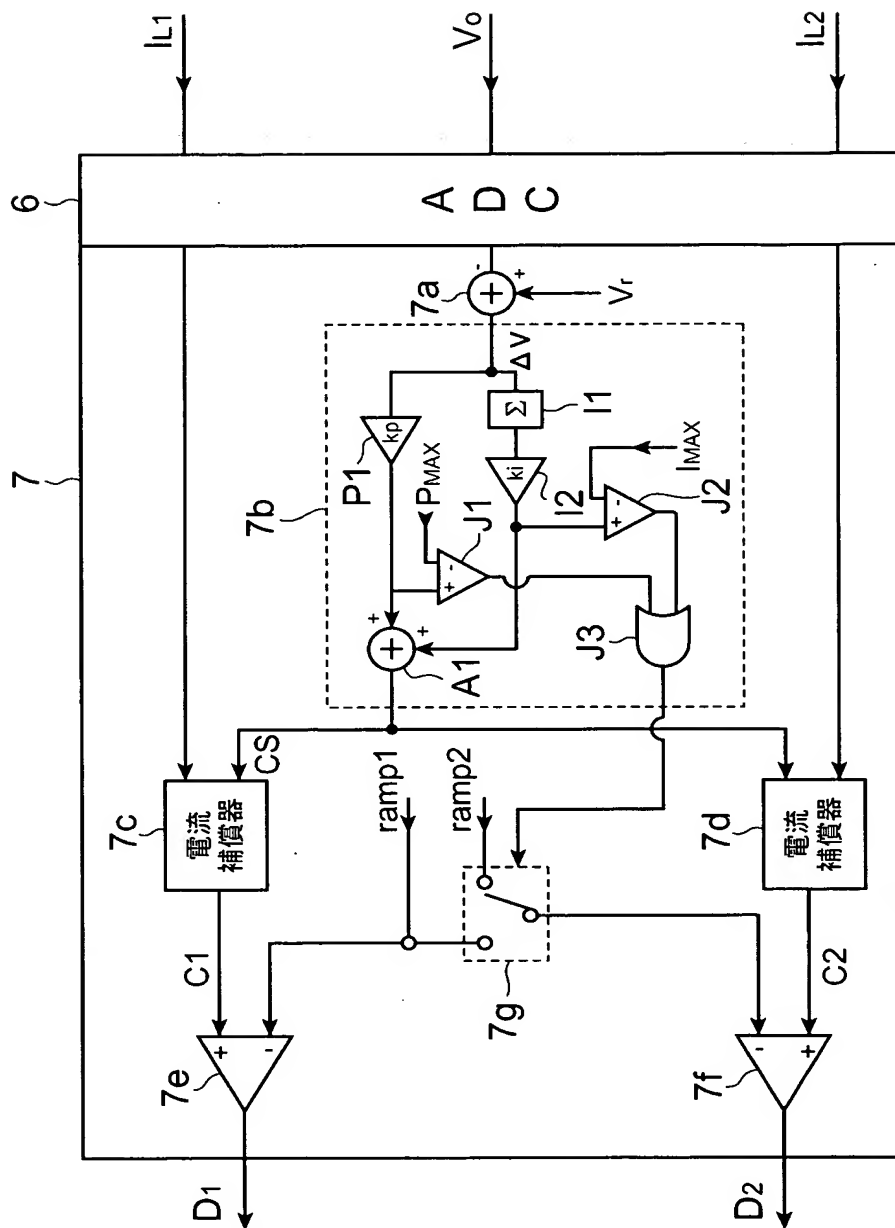
ンデンサ、6…AD変換器、7 g…セクタ、7 b…制御部、7 a…加算器、7 e…比較器、7 f…比較器、7 c, 7 d…電流補償器、A 1…加算器、d t…検出素子、I 2…アンプ、7…コントローラ IC、I T 1, I T 2…入力端子、J 1…比較器、J 2…比較器、L…負荷、O T 1, O T 2…出力端子、P…直流電圧源、P…直流電源、P 1…アンプ。

【書類名】 図面

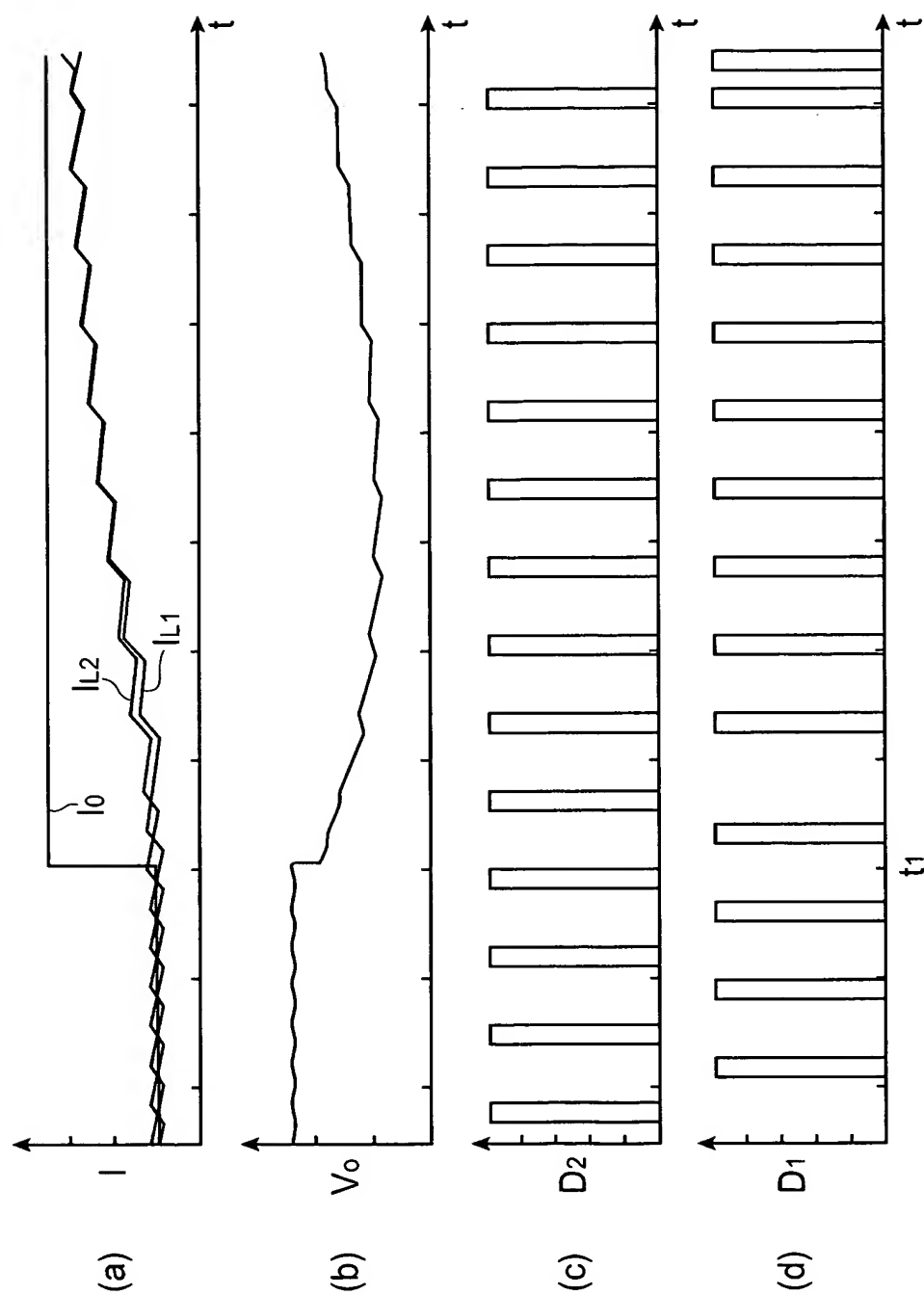
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 負荷電流に対する追従性がよく、且つ、出力電圧の安定性に優れた電源装置及びその制御装置を提供する。

【解決手段】 セレクタ 7 g は、比例信号又は積分信号が閾値を超えない場合には、パルス駆動信号 D_1 、 D_2 同士の位相を「逆位相」に設定する。各パルス駆動信号の位相を互いにずらすことによって、リップル電圧を低減する。負荷電流が急激に増加した場合には、電源の容量不足のため、出力電圧 V_o の低下が著しくなるという傾向が生じる。この場合、位相制御部が、上記比例信号又は積分信号がそれぞれの閾値 P_{MAX} 、 I_{MAX} を超えた場合に、パルス駆動信号同士の位相を合わせることで、すなわち、セレクタ 7 g から各比較器 7 e、7 f に供給されるランプ波を同一のもの（ $ramp1$ ）とし、各直流電圧変換回路から供給される出力電圧を同位相とすることで、負荷 L に供給される出力電圧の著しい低下を抑制する。

【選択図】 図 2

特願 2 0 0 3 - 0 9 6 9 1 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社